

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)[First Hit](#)

Database Collection

L3: Entry 1 of 1

File: EPAB

May 23, 2002

PUB-NO: WO000241321A1

DOCUMENT-IDENTIFIER: WO 241321 A1

TITLE: INTEGRATED MAGNETORESISTIVE SEMICONDUCTOR MEMORY SYSTEM

PUBN-DATE: May 23, 2002

INVENTOR-INFORMATION:

NAME

BOEHM, THOMAS

ROEHR, THOMAS

HOENIGSCHMID, HEINZ

COUNTRY

DE

DE

US

ASSIGNEE-INFORMATION:

NAME

INFINEON TECHNOLOGIES AG

BOEHM THOMAS

ROEHR THOMAS

HOENIGSCHMID HEINZ

COUNTRY

DE

DE

DE

US

APPL-NO: DE00103690

APPL-DATE: September 26, 2001

PRIORITY-DATA: DE10056830A (November 16, 2000)

INT-CL (IPC): G11 C 11/16EUR-CL (EPC): G11C011/16

ABSTRACT:

CHG DATE=20020702 STATUS=O>The invention relates to an integrated magnetoresistive semiconductor memory system, in which n memory cells that comprise two magnetic layers (WML, HML), each separated by a thin dielectric barrier (TL), and associated word lines (WL) and bit lines (BL) that cross one another are vertically stacked in n layers (L1, L2, L3, L4). The system further comprises a decoding circuit for selecting one of the n memory layers (L1 - L4). Said decoding circuit, on both ends of a word line (WL) or a bit line (BL), is provided with one arrangement each that consists of n layer selecting transistors (N0 - N3, N4 - N7) for selecting one of the n memory layers (L1 - L4), and with a line selection transistor (P0, P1) for selecting the respective horizontal word line or bit line (WL or BL) on which a voltage (V) is to be impressed.

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
23. Mai 2002 (23.05.2002)

PCT

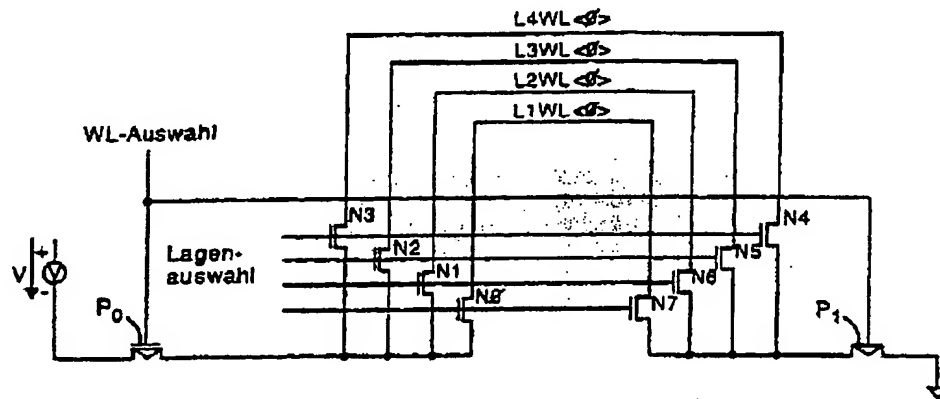
(10) Internationale Veröffentlichungsnummer
WO 02/41321 A1

- (51) Internationale Patentklassifikation: G11C 11/16 (72) Erfinder; und
(21) Internationales Aktenzeichen: PCT/DE01/03690 (73) Erfinder/Anmelder (nur für US): BOEHM, Thomas
(22) Internationales Anmeldedatum: 26. September 2001 (26.09.2001) (DE/DE); Herzog-Heinrich-Weg 5, 85604 Zorneding
(25) Erfindersprache: Deutsch (DE); ROEHR, Thomas (DE/DE); Gaussring 8, 85609
(26) Veröffentlichungssprache: Deutsch (DE); HOENIGSCHMID, Helmut (DE/US);
(30) Angaben zur Priorität: 100 56 830.0 16. November 2000 (16.11.2000) DE 819 Jefferson Boulevard, East Fishkill, NY 12524 (US).
(74) Anwalt: KOTTMANN, Dieter; Müller & Hoffmann, In-
(81) Bestimmungsstaaten (national): CN, JP, KR, US. nere Wiener Strasse 17, 81667 München (DE).
(84) Bestimmungsstaaten (regional): europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): INFINEON TECHNOLOGIES AG (DE/DE); St.-Martin-Strasse 53, 81669 München (DE).
Veröffentlicht:
— mit internationalem Recherchenbericht

[Fortsetzung auf der nächsten Seite]

(54) Title: INTEGRATED MAGNETORESISTIVE SEMICONDUCTOR MEMORY SYSTEM

(54) Bezeichnung: INTEGRIERTE MAGNETORESISTIVE HALBLEITERSPEICHERANORDNUNG



A WL SELECTION
B LAYER SELECTION

(57) Abstract: The invention relates to an integrated magnetoresistive semiconductor memory system, in which n memory cells that comprise two magnetic layers (WML, HML), each separated by a thin dielectric barrier (TL), and associated word lines (WL) and bit lines (BL) that cross one another are vertically stacked in n layers (L1, L2, L3, L4). The system further comprises a decoding circuit for selecting one of the n memory layers (L1 - L4). Said decoding circuit, on both ends of a word line (WL) or a bit line (BL), is provided with one arrangement each that consists of n layer selecting transistors (N0 - N3, N4 - N7) for selecting one of the n memory layers (L1 - L4), and with a line selection transistor (P0, P1) for selecting the respective horizontal word line or bit line (WL or BL) on which a voltage (V) is to be impressed.

[Fortsetzung auf der nächsten Seite]

WO 02/41321 A1



Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) Zusammenfassung: Die Erfindung betrifft eine integrierte magnetoresistive Halbleiterspeicheranordnung, bei der n Speicherzellen, die jeweils zwei durch eine dünne dielektrische Barriere (TL) getrennte magnetische Lagen (WML, HML) und zugehörige einander kreuzende Wortleitungen (WL) und Bitleitungen (BL) aufweisen, in n Lagen (L1, L2, L3, L4) vertikal übereinandergestapelt angeordnet sind und eine Decodierschaltung zur Auswahl einer der n Speicherlagen (L1-L4) vorgesehen ist, wobei die Decodierschaltung an beiden Enden einer Wortleitung (WL) bzw. Bitleitung (BL) jeweils eine Anordnung aus n Lagenauswahltransistoren (N0-N3, N4-N7) zur Auswahl einer der n Speicherlagen (L1-L4) und einen Leitungsauswahltransistor (P0, P1) zur Auswahl der anzusprechenden horizontalen Wort- bzw. Bitleitung (WL bzw. BL) aufweist, die mit einer Spannung (V) zu beaufschlagt ist.

Beschreibung

Integrierte magnetoresistive Halbleiterspeicheranordnung

- 5 Die Erfindung betrifft eine integrierte magnetoresistive Halbleiterspeicheranordnung, bei der n Speicherzellen, die jeweils zwei durch eine dünne dielektrische Barriere getrennte magnetoresistive Lagen und zugehörige einander ortho-
- 10 n vertikalen Lagen übereinander gestapelt sind, und eine Decodierschaltung zur Auswahl einer der n Speicherlagen vorgesehen ist.

- 15 Bei magnetoresistiven Speichern (MRAMs) liegt der Speichereffekt im magnetisch veränderbaren elektrischen Widerstand der Speicherzelle.

- 20 Die beiliegende Fig. 3 zeigt in einer perspektivischen Ansicht schematisch eine bekannte magnetoresistive Speicherzelle, die eine Kreuzung zweier Leiter, einer Bitleitung BL und einer Wortleitung WL aufweist, die üblicherweise orthogonal zueinander angeordnet sind. An der Kreuzungsstelle zwischen diesen Leitern WL und BL befindet sich ein bestimmtes Mehrschichtsystem, das aus einem Stapel einer Schicht WML ei-
- 25 nes weichmagnetischen Materials und einer Schicht HML eines hartmagnetischen Materials besteht, zwischen denen sich eine Schicht TL eines Tunneloxids befindet. Der Wert R_c des in der Speicherzelle enthaltenen Widerstandes zwischen den Leitern WL und BL hängt davon ab, ob die Magnetisierungsrichtungen in
- 30 den weichmagnetischen und hartmagnetischen Schichten WML und HML parallel (niedriger Wert R_c) oder antiparallel (hoher Wert R_c) liegen. Dies ist im unteren Teil der Fig. 3 angedeutet.

- 35 Das Schreiben der Zelle geschieht durch Schalten der weichmagnetischen Schicht WML durch ein elektromagnetisches Feld. Zum Schalten ist eine Überlagerung zweier magnetischer Felder

nötig. Damit die weichmagnetische Schicht WML in zwei entgegengesetzte Richtungen polarisiert werden kann, ist es erforderlich, dass mindestens einer der Programmierströme I_{BL} oder I_{WL} in beiden Richtungen durch die entsprechenden Leitungen
5 fließen kann. Dies ist in Fig. 3 und auch in der beiliegenden Fig. 4 dargestellt, die eine Ersatzschaltung der in Fig. 3 in geometrischer Anordnung dargestellten Speicherzelle zeigt.

Ein großer Vorteil von MRAMs gegenüber anderen integrierten
10 Halbleiterspeichern besteht darin, dass mehrere Speicherzellen übereinandergestapelt werden können. Dadurch wird in entscheidendem Maß Chipfläche eingespart. Die einzelnen übereinandergestapelten Ebenen (Lagen) werden entweder gemäß der beiliegenden Fig. 5 durch Oxidebenen voneinander getrennt
15 oder gemäß Fig. 6 in Form eines "Shared Layer"-Stapels ohne Zwischenoxid ausgeführt, wobei die Bitleitungen BL2 und 3 und die Wortleitungen WL1 und WL2 einerseits und WL3 und WL4 andererseits jeweils gemeinsam sind.

20 Der geschilderte Vorteil von MRAMs, Speicherzellen in mehreren vertikalen Ebenen oder Lagen übereinanderzustapeln erfordert neue schaltungstechnische Lösungen zur Decodierung der vertikal angeordneten Speicherebenen zusätzlich zur konventionellen Decodierung der horizontalen Leitungen.

25 Es ist somit Aufgabe der Erfindung, eine integrierte magnetoresistive Halbleiterspeicheranordnung mit einer kostengünstigen und praktisch realisierbaren Decodierschaltung anzugeben, die eine Auswahl aus einer der n vertikal übereinander angeordneten Speicherlagen vornehmen kann.
30

Die Aufgabe wird anspruchsgemäß gelöst.

Gemäß einem ersten wesentlichen Aspekt der Erfindung weist
35 die Decodierschaltung zur Decodierung von einer aus n Speicherlagen an beiden Enden einer Wortleitung oder Bitleitung jeweils eine Anordnung aus n Lagenauswahltransistoren und ei-

nen Leitungsauswahltransistor auf zur Auswahl der anzusprechenden horizontalen Wort- bzw. Bitleitung, die mit einer Spannung zu beaufschlagen ist.

- 5 Gemäß einem anderen Aspekt der Erfindung, der ein Hybriddecodierkonzept bildet, weist die Decodierschaltung - im Falle die n vertikalen Speicherlagen in die Z-Richtung, die Bitleitungen in die Y-Richtung und die sie orthogonal kreuzenden Wortleitungen in die X-Richtung eines gedachten rechtwinkligen Koordinatensystems weisen bzw. laufen - an beiden Enden einer Wortleitung einen X-Auswahltransistor zur Auswahl z. B. einer Wortleitung, einen Z-Auswahltransistor zur Auswahl der entsprechenden Speicherlage in Z-Richtung und ferner Y-Auswahltransistoren zur Decodierung in Y-Richtung mittels Column-Select-Leitungen (zum Beispiel Master-Wordline und segmentierte WL-Stücke).

- Bei beiden integrierten magnetoresistiven Halbleiterspeicheranordnungen sind die die Decodierschaltung bildenden Transistoren an beiden Enden einer Wortleitung bzw. Bitleitung zu implementieren. Dabei sind die Source- oder Drainanschlüsse der Lagenauswahltransistoren bzw. der Y-Auswahltransistoren miteinander verbunden, und die Transistoren teilen sich ein gemeinsames Diffusionsgebiet, während die anderen Elektrodenanschlüsse voneinander unabhängige Wort- bzw. Bitleitungen beschalten. Jeder Transistor der Decodierschaltung ist so ausgelegt, dass er den für eine Speicherzelle erforderlichen hohen Schreibstrom von typischerweise 2 mA treiben kann.

- 30 Ausführungsbeispiele der erfindungsgemäßen integrierten magnetoresistiven Halbleiterspeicheranordnung sind in der nachstehenden, Bezug auf die beiliegende Zeichnung nehmenden, Beschreibung näher erläutert.

- 35 Die Zeichnungsfiguren zeigen im einzelnen:

- Fig. 1 ein Schaltbild eines ersten Ausführungsbeispiels einer Decodierschaltung für eine erfindungsgemäße integrierte magnetoresistive Halbleiterspeicheranordnung,
- 5 Fig. 2 ein Schaltschema eines zweiten Ausführungsbeispiels einer Decodierschaltung für eine erfindungsgemäße integrierte magnetoresistive Halbleiterspeicheranordnung,
- 10 Fig. 3 die bereits erörterte schematische Darstellung einer magnetoresistiven Halbleiterspeicherzelle,
- 15 Fig. 4 die bereits erläuterte Ersatzschaltung für die in Fig. 3 dargestellte magnetoresistive Speicherzelle,
- 20 Fig. 5 eine erste Art der Stapelung von magnetoresistiven Halbleiterspeicherzellen in beispielhaft vier vertikalen Lagen mit Zwischenoxid, und
- 25 Fig. 6 ein zweites Beispiel einer vertikalen Stapelung von vier magnetoresistiven Halbleiterspeicherzellen in Lagen ohne Zwischenoxid.
- 30 Fig. 1 ist ein Schaltbild einer für z.B. vier vertikal übereinandergestapelte Lagen magnetoresistiver Halbleiterspeicherzellen eingerichteten Decodierschaltung, die die Auswahl von einer aus n Lagen magnetoresistiver Speicherzellen durch die an beiden Enden einer Wortleitung oder Bitleitung angeordneten Lagenauswahltransistoren N0 - N3 und N4 - N7 gestattet. Leitungsauswahltransistoren P0 und P1 wählen die anzusprechende horizontale Leitung, die im Beispiel eine Wortleitung WL<0> ist, die aber auch eine Bitleitung BL sein kann,
- 35 die mit der Spannung V zu beschalten ist. Die nachfolgende Anordnung aus 4 Lagenauswahltransistoren N0 - N3 und N7, N6, N5 und N4 auf beiden Seiten wählt eine der vertikal angeord-

neten Speicherlagen L1 - L4 aus. Die Sourceanschlüsse bzw. Drainanschlüsse an einem Ende der Lagenauswahltransistoren N0 - N3 einerseits und N4 - N7 andererseits sind miteinander verbunden.

5

Im Layout teilen sich die Transistoren N0 - N3 einerseits und N4 - N7 andererseits ein Diffusionsgebiet und beschalten jeweils andere voneinander unabhängige Wort- bzw. Bitleitungen. Mit einer versetzten Anordnung der Lagenauswahltransistoren N0 - N3 einerseits und N4 - N7 andererseits ist ein platzsparendes Layout in einem für MRAM typischen engen WL/BL Pitch möglich. Die verwendeten Transistoren müssen den für das Schreiben einer MRAM-Zelle typischen hohen Schreibstrom von 2 mA treiben können. Es soll bemerkt werden, dass im dargestellten Ausführungsbeispiel die Anzahl von vier übereinandergestapelten Speicherlagen lediglich beispielhaft ist. Dem entsprechend enthält, wenn eine andere Anzahl übereinandergestapelter Speicherlagen vorliegt, die Decodierschaltung, eine entsprechende Anzahl von Transistoren zur Lagenauswahl.

20

Fig. 2 zeigt eine Schaltungsanordnung eines zweiten Ausführungsbeispiels einer Decodierschaltung für eine erfindungsgemäße integrierte magnetoresistive Halbleiterspeicheranordnung.

25

Hier ist angenommen, dass die n vertikal übereinandergestapelten Lagen magnetoresistiver Speicherzellen in Z-Richtung, die Bitleitungen in Y-Richtung und die sie kreuzenden Wortleitungen in X-Richtung eines rechtwinkligen Koordinatensystems angeordnet sind. Die in Fig. 2 dargestellte Decodierschaltung weist am linken und rechten Ende jeweils einen X-Auswahltransistor P0, P1 zur Auswahl einer Leitung in X-Richtung, einen Z-Auswahltransistor N0 und N9 zur Auswahl der entsprechenden Speicherlage in Z-Richtung und eine Anordnung von Y-Auswahltransistoren N1 - N4 einerseits und N5 - N8 andererseits zur Decodierung in Y-Richtung durch die Column-Select-Leitungen CSL1 - CSL4 (z.B. Master-Wordline und segmen-

30

35

tierte WL-Stücke) auf. Für die Anordnung der Transistoren im Layout und ihre Auslegung, damit sie den benötigten hohen Schreibstrom für die magnetoresistive Speicherzelle treiben können, gilt sinngemäß dasselbe, wie es oben für das in Fig. 5 1 dargestellte Ausführungsbeispiel erläutert wurde.

Statt orthogonal sich kreuzende Wort- und Bitleitungen zu verwenden, können layout-technisch auch andere Anordnungsvarianten realisiert werden, um beispielsweise die Vorzugs- 10 Drehrichtung der Polarisation in der weichmagnetischen Schicht WML gezielt zu beeinflussen.

Bezugszeichenliste

BL	Bitleitung
WL	Wortleitung
I_{BL}	Strom durch die Bitleitung BL
I_{WL}	Strom durch die Wortleitung WL
R_c	Widerstand der magnetoresistiven Speicherzelle
WML	weichmagnetische Schicht
HML	hartmagnetische Schicht
TL	Tunneloxidschicht
N0 - N7, P0, P1	Auswahltransistoren
N0 - N9, P0, P1	Auswahltransistoren
L1 - L4	Lage der Speicherzelle

Patentansprüche

1. Integrierte magnetoresistive Halbleiterspeicheranordnung, bei der n Speicherzellen, die jeweils zwei durch eine dünne dielektrische Barriere (TL) getrennte magnetische Lagen (WML, HML) und zugehörige einander kreuzende Wortleitungen (WL) und Bitleitungen (BL) aufweisen, in n Lagen (L1, L2, L3) vertikal übereinandergestapelt sind, und eine Decodierschaltung zur Auswahl einer der n Speicherlagen (L1 - L4) vorgesehen ist, d a d u r c h g e k e n n z e i c h n e t , dass die Decodierschaltung an beiden Enden einer Wortleitung (WL) bzw. Bitleitung (BL) jeweils eine Anordnung aus n Lagenauswahltransistoren (N0 - N3, N4 - N7) zur Auswahl einer der n Speicherlagen (L1 - L4) und einen Leitungsauswahltransistor (P0, P1) zur Auswahl der anzusprechenden horizontalen Wort- bzw. Bitleitung (WL bzw. BL) aufweist, die mit einer Spannung (V) zu beaufschlagen ist.
2. Integrierte magnetoresistive Halbleiterspeicheranordnung, bei der n Speicherzellen, die jeweils zwei durch eine dünne dielektrische Barriere (TL) getrennte magnetische Lagen (WML, HML) und zugehörige einander kreuzende Wort- und Bitleitungen (WL und BL) aufweisen, in n Lagen (L1, L2, L3, L4) vertikal übereinandergestapelt sind und eine Decodierschaltung zur Auswahl einer der n Speicherlagen (L1 - L4) vorgesehen ist, wobei die n vertikalen Lagen in Z-Richtung, die Bitleitungen bzw. Wortleitungen in Y-Richtung und die sie kreuzenden Wortleitungen bzw. Bitleitungen in X-Richtung eines gedachten Koordinatensystems angeordnet sind, d a d u r c h g e k e n n z e i c h n e t , dass die Decodierschaltung an beiden Enden einer Wortleitung (WL) oder Bitleitung (BL) einen X-Auswahltransistor (P0, P1) zur Auswahl einer Leitung in X-Richtung, einen Z-Auswahltransistor (N0, N9) zur Auswahl der entsprechenden Speicherlage in Z-Richtung und Y-Auswahltransistoren (N1-N4 und N5-N8) zur Decodierung in Y-Richtung mittels Column-Select-Leitungen (CSL1 - CSL4) aufweist.

3. Integrierte magnetoresistive Halbleiterspeicheranordnung nach Anspruch 1 oder 2,

d a d u r c h g e k e n n z e i c h n e t ,

- 5 dass die Y-Auswahltransistoren bzw. die Lagenauswahltransistoren an einem ihrer Elektrodenanschlüsse (Source oder Drain) untereinander verbunden sind, sich ein gemeinsames Diffusionsgebiet teilen und am entgegengesetzten Elektrodenanschluss voneinander unabhängige Wort- bzw. Bitleitungen be-
10 schalten.

4. Integrierte magnetoresistive Halbleiterspeicheranordnung nach einem der Ansprüche 1 bis 3,

d a d u r c h g e k e n n z e i c h n e t ,

- 15 dass jeder Transistor der Decodierschaltung so ausgelegt ist, dass er den für jede Speicherzelle der Speicheranordnung benötigten relativ hohen Schreibstrom treiben kann.

Fig. 1

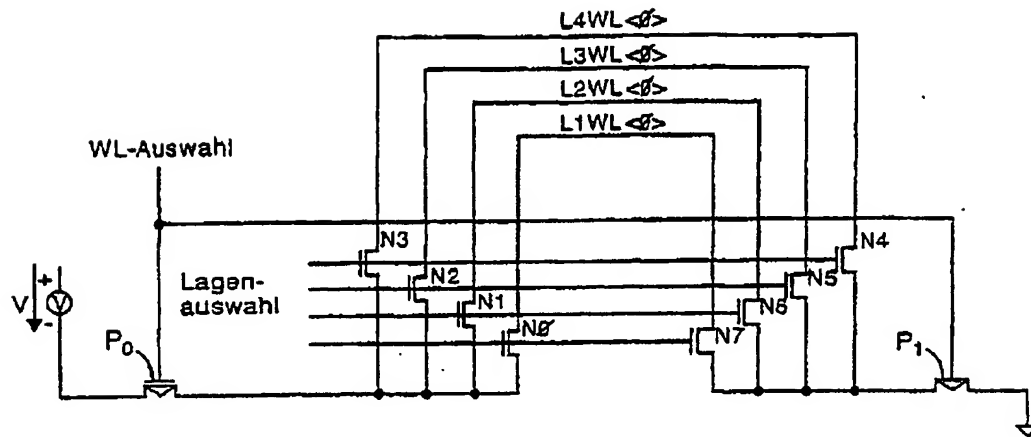
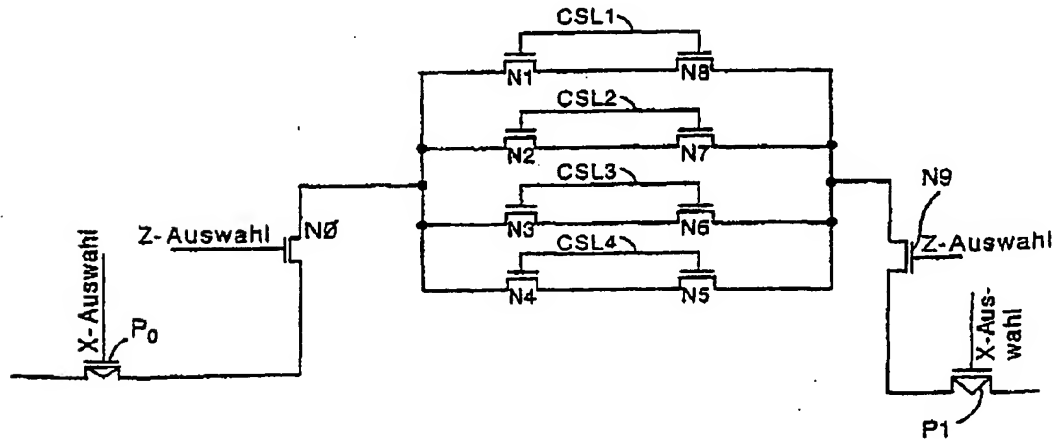


Fig. 2



2/2

Fig. 3

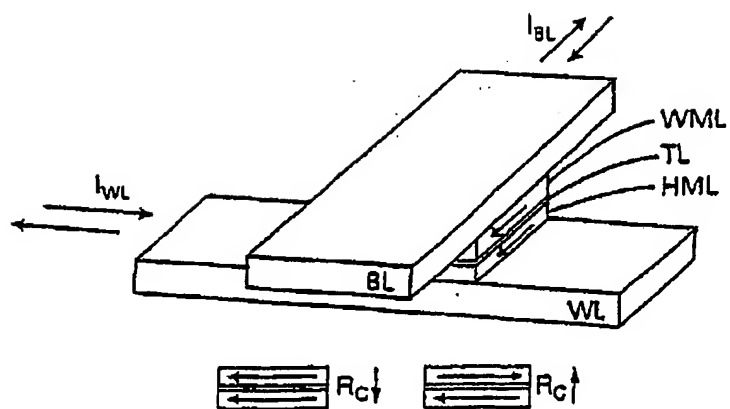


Fig. 4

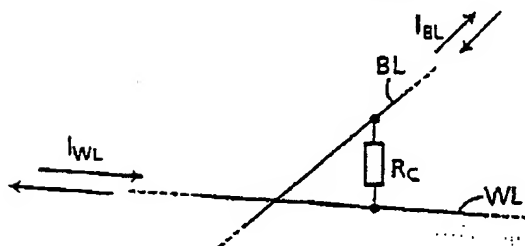


Fig. 5

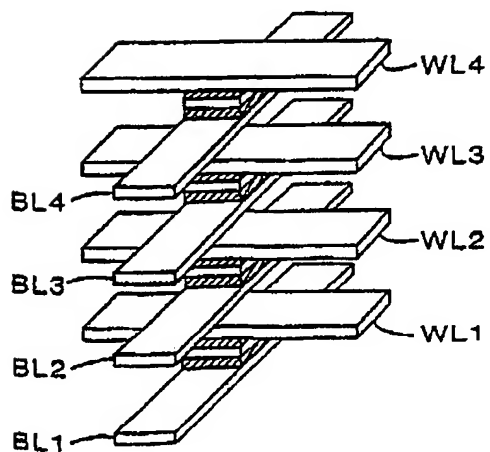
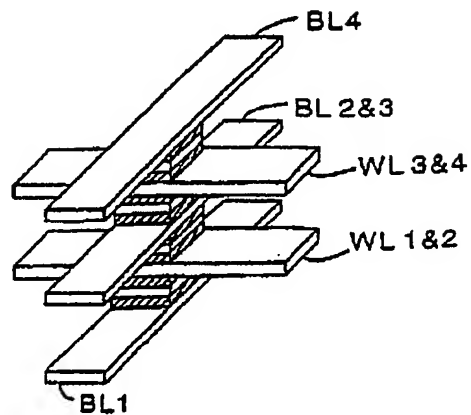


Fig. 6



ERSATZBLATT (REGEL 26)

INTERNATIONAL SEARCH REPORT

In International Application No
PCT/DE 01/03690

A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G11C11/16		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal, PAJ, IBM-TDB		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 3 878 542 A (MYER JON H) 15 Apr 11 1975 (1975-04-15) column 3, line 14 -column 6, line 33 column 8, line 42 -column 9, line 10	1,2
A	EP 0 959 475 A (CANON KK) 24 November 1999 (1999-11-24) column 5, line 20 -column 7, line 7 column 13, line 35 -column 14, line 23	1
A	PATENT ABSTRACTS OF JAPAN vol. 006, no. 241 (P-158), 30 November 1982 (1982-11-30) & JP 57 138092 A (SANYO DENKI KK), 26 August 1982 (1982-08-26) abstract	1
<input type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "4" document member of the same patent family		
Date of the actual completion of the international search 22 February 2002		Date of mailing of the international search report 01/03/2002
Name and mailing address of the ISA European Patent Office, P.O. 5818 Patentium 2 NL - 2280 HV Rijswijk Tel. (+31-70) 840-2040, Tx. 81 661 spo nl, Fax: (+31-70) 840-3016		Authorized officer Degraeve, L

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 01/03690

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 3878542	A	15-04-1975	NONE	
EP 0959475	A	24-11-1999	JP 2000187976 A EP 0959475 A2 JP 2000076843 A JP 2000076844 A US 6104632 A	04-07-2000 24-11-1999 14-03-2000 14-03-2000 15-08-2000
JP 57138092	A	26-08-1982	NONE	

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 01/03690

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 611C11/16

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte(r) Mindestprüfsto(f)ff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 611C

Recherchierte aber nicht zum Mindestprüfsto(f)ff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, PAJ, IBM-TDB

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 3 878 542 A (MYER JON H) 15. April 1975 (1975-04-15) Spalte 3, Zeile 14 - Spalte 6, Zeile 33 Spalte 8, Zeile 42 - Spalte 9, Zeile 10	1, 2
A	EP 0 959 475 A (CANON KK) 24. November 1999 (1999-11-24) Spalte 5, Zeile 20 - Spalte 7, Zeile 7 Spalte 13, Zeile 35 - Spalte 14, Zeile 23	1
A	PATENT ABSTRACTS OF JAPAN vol. 006, no. 241 (P-158), 30. November 1982 (1982-11-30) & JP 57 138092 A (SANYO DENKI KK), 26. August 1982 (1982-08-26) Zusammenfassung	1

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den eigentlichen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie z.B. geoffenbart)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderscher Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann nicht als auf erfinderscher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"Z" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

22. Februar 2002

Absenddatum des internationalen Recherchenberichts

01/03/2002

Name und Postanschrift der internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5618 Patentamt 2
NL - 2280 HV Rijswijk
Tel (+31-70) 340-2040, Tx: 31 651 epo nl,
Fax (+31-70) 340-3018

Bevollmächtigter Bediensteter

Degraeve, L

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 01/03690

Im Recherchenbericht angeführtes Patentedokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 3878542	A	15-04-1975	KEINE	
EP 0959475	A	24-11-1999	JP 2000187976 A EP 0959475 A2 JP 2000076843 A JP 2000076844 A US 6104632 A	04-07-2000 24-11-1999 14-03-2000 14-03-2000 15-08-2000
JP 57138092	A	26-08-1982	KEINE	